

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-244585
(43)Date of publication of application : 19.09.1997

(51)Int.CI. G09G 3/36
G02F 1/133
H03K 3/356
H03K 17/10
H03K 17/687
H03K 19/0185

(21) Application number : 08-046454

(71)Applicant : **TOPPAN PRINTING CO LTD
TOSHIBA CORP**

(22) Date of filing : 04.03.1996

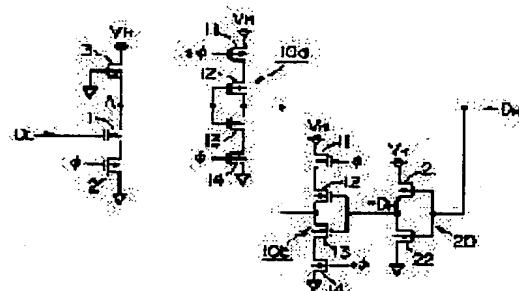
(72)Inventor : CHIN GIYOUSHIYOU
NANZAKI HIRONORI
TAGUCHI TAKASHI

(54) LEVEL SHIFTER CIRCUIT WITH LATCH FUNCTION

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a level shifter circuit in which the driving capacity is high, smaller number of transistors is used to constitute the circuit and the number of rows is reduced in the layout of the driver ICs of a liquid crystal display device.

SOLUTION: When a clock signal ϕ_{H1} is '1' (an inverted clock signal ϕ_{H2} is '0'), the digital signals of a voltage VH system, which are made by inverting the digital signals of a voltage VL (for example, 3 volts) system being inputted to the gate of an Nch field effect transistor(FET) 1, are inputted to a three state inverter 10a and the inverter 10a inverts and outputs the inputted signals. Moreover, when the signal ϕ_{H1} is '0', the inverter 10a is put in a high impedance state and the signals ϕ_{H1} keep the output state the same as the state immediately before the signal ϕ_{H1} becomes '0' by the loop which is formed by an inverter 20 and a three state inverter 10b.



LEGAL STATUS

[Date of request for examination] 13.03.1996

[Date of sending the examiner's decision of rejection] 22.06.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

データラッシュ部と、入力されたデジタルデータに基づいて、各欄頭トランジスタ間に電圧を印加する液晶ディスプレイの各欄頭トランジスタ間に電圧を印加する。そして、データラッシュ部等の回路が含まれている。ドライバ部等の回路においては、低消費電力を図るために駆動電圧を從来の5Vから3Vに低下させた他のデジタルICに合わせるために、駆動電圧を3Vにしている。また、ドライバ部においては、液晶表示装置の特徴性を向上させるため、すなわち、ごく短時間で液晶分子の角度を変化させるために、より高い電圧が必要となり、そのため駆動電圧は従来通り5Vの電圧が用いられている。このように、ドライバICには1つのIC内に異なる電圧で駆動する回路が混在するため、データラッシュ部から出力される3V系の信号を5V系の信号に昇圧するレベルシフト部が設けられている。

図11に従来のデータラッシュ部と本発明のデータラッシュ部の構成を示す。

データラッシュ部と、入力されたデジタルデータに基づいて、各欄頭トランジスタ間に電圧を印加する液晶ディスプレイの各欄頭トランジスタ間に電圧を印加する。そして、データラッシュ部等の回路が含まれている。ドライバ部等の回路においては、低消費電力を図るために駆動電圧を從来の5Vから3Vに低下させた他のデジタルICに合わせるために、駆動電圧を3Vにしている。また、ドライバ部においては、液晶表示装置の特徴性を向上させるため、すなわち、ごく短時間で液晶分子の角度を変化させるために、より高い電圧が必要となり、そのため駆動電圧は従来通り5Vの電圧が用いられている。このように、ドライバICには1つのIC内に異なる電圧で駆動する回路が混在するため、データラッシュ部から出力される3V系の信号を5V系の信号に昇圧するレベルシフト部が設けられている。

図11に従来のデータラッシュ部と本発明のデータラッシュ部の構成を示す。

ポートには前記3ビットのデジタルデータの第2ビットの符号と、最上位ビットの信号が入力されていることを特徴とするデコーダ。

2. $[0002]$

【従来の技術】従来より、液晶表示装置の駆動方式とし TFT駆動方式がある。TFT駆動方式は階調表示の方式とし、液晶表示装置の品質が高く、画面の明るさやコントラストが優れ、表示速度が早いといつた画質以外の性能面において最も優れている。このTFT駆動方式の原理を、図10を参照して説明する。この図において、50は薄膜トランジスタであり、外部からソース線51を通して電圧が入力され、ゲート線52に電圧が印加される。ソース線51に流入された電圧を液晶層53に印加する。これにより液晶層53の液晶分子は角度変え、パッケライト等から光の透過率を変える。また階調表示は、ソース線51に流入する電圧を変化させ、液晶層53の液晶分子の角度を制御することにより行われる。

【0003】一般に、液晶ディスプレイは図10に示すマトリクス状に多數(例えばVGA(video group array)の場合は、 640×480 個)配置することによって構成されている。このような液晶ディスプレイにおいては、TFT駆動用のドライバIC(以下、単にドライバICという)を用いて各行の薄膜トランジスタごとに各画像データに基づく電圧を印加し、1行毎に順次表示を行っている。

【0004】上述したドライバICには、従来、外部からの入力される階調制御用のデジタルデータを保持するデ

12のドレインとNchFET613のドレインとの接続点は回路6.2のPchFET621およびNchFET622のゲートに接続されている。
【0009】ここで、上述した回路6.1aは、例えばクロック信号 ϕ が「0」、すなわち、反転クロック信号 ϕ が「1」の時、PchFET611とNchFET614は共にOFFになり、出力はハイインピーダンス状態となる。一方、クロック信号 ϕ が「1」、すなわち、反転クロック信号 ϕ が「0」の時、PchFET611とNchFET614は共にONになり、この状態でPchFET612とNchFET613のゲートに「0」が入力されるとPchFET612がON、NchFET613がOFFとなって、回路6.1aからは電圧3V、すなわち3V系のデジタル信号の「1」が出力される。

される。また、PchFET613とNchFET611のゲートに「1」が入力されるとPchFET612がOFF、NchFET6113がONとなる。回路61aからは接地電位、すなわち3V系のデジタル信号の「0」が取出される。

【0010】このように、回路61aは、クロック信号が「1」の時はインバータとして機能し、「0」の時はその出力がハイインピーダンス状態となる一種の3スルーディオインバータと言える。また、これと同様に回路61b

1 bはクロック信号が「0」の時はインバータとして機能し、「1」の時はその出力がハイインピーダンス状態となる3ステートインバータと言える。そして、回路62はPchFET621およびNchFET622のゲートに「1」が入力されるときPchFET621がON,F,NchFET622がOFFとなる。また、「0」が入力されるとPchFET621がON,NchFET622がOFFとなって、回路61 aからは電圧3Vすなわち「1」が出力される。したがって、回路62はインバータとして機能する。

【0011】一方、レベルシフト部701は、NchFET T701,702およびPchFET703,704により構成されている。PchFET703,704のソースにはそれぞれ5Vの電圧が印加され、NchFET701,702のソースは各自接地されている。そして、NchFET701とPchFET703のドレイン同士は接続され、その接続点はPchFET703のゲートと接続されている。さらにはNchFET702のドレインとPchFET704のドレインの接続点は、図示せぬドライバ部に接続されている。

【0012】上述した図11の回路における動作は、まず、データラッシュ部60において、クロック信号*が「1」、反転クロック信号*が「0」の時、回路61

bの出力はハイインピーダンス状態になり、これに対し、回路6.1aは可動状態になって、外部から入力されるとデジタル信号Dを反転してその信号* Dをレベルシフト部7.0のNchFET7.0のゲートと回路6.2に出力する。また、回路6.2は反転されたデジタル信号* Dをさらに反転してレベルシフト部7.0のNchFET7.0のゲートに出力する。

[0013] 例えれば回路6.1aに入力されたデジタル信号Dが「1」であった場合、レベルシフト部7.0のNchFET7.0のゲートには「0」が、また、NchFET7.0.1のゲートには「1」が入力される。これにより、NchFET7.0.1がON、また、NchFET7.0.2がOFFになるので、PchFET7.0.4がONとしないでドライブ部に対して5V系のデジタル

[0014]一方、デジタル信号Dが「0」であった場合、レバシフタ部7のNchFET702のゲートには「1」が、また、NchFET701のゲートには「0」が入力される。これにより、NchFET701がOFF、NchFET702がONとなり、PchFET703がONとなつてPchFET704のゲートには「1」を出力する。したがつて、PchFET704はOFFになり、また、この時NchFET702はONになつて、図示ぬドライバ部に対して5Vの電圧を出力される。

[0015]次にクロック信号が「0」、反転クロック信号*が「1」になると、回路61aの出力がハイになります。上述した回路61aから出力された信号は、回路61bと回路62とともに形成されるループにより、レバシフタ部70から出力され、これにより、レバシフタ部70から出力が保持され、電圧も、次にクロック信号が「1」、反転クロック信号*が「0」になるまで保持される。このように、図11の回路は、外部から入力される3V系のデジタル信号を5V系のデジタル信号に駆動すると共に、クロック信号*に従つて出力状態を保持する。

[0016]ここで、上述したドライバICを例えればCMOS (complementary metal oxide semiconductor)により実際にIC化する場合、そのICチップのレベル駆動する回路を一列に配した回路列(以下、3V系のロード列)に配した回路列(以下、5V系のロード列)に配した回路列(以下、5V系のロードといふ)。この2種類のロードが必要になる。一例として、この図において各ロードの幅は約80μmの長さを有し、各ロードは約400μmの間隔をもつて形成されるものとする。

[0017]図13は上述したロードの詳細なレイアウトを示すもので、この図では3V系のロードにおける図11のデータラッシュ部60の回路62のレイアウトを示している。この図において、8.1は3Vの電源ラインである。

11.2のドレインとNchFET613のドレインとの接続端点は回路6.2のPchFET621およびNchFET622のゲートに接続されている。

100091ここで、上述した回路6.1aは、例えばPchクロック信号*が「0」、すなわち、反転クロック信号*が「1」の時、PchFET611とNchFET614は共にOFFになり、出力はハイインピーダンス状態となる。一方、クロック信号*が「1」、すなわち、Pchクロック信号*が「0」の時、PchFET611とNchFET614は共にONになり、この状態でPchFET612とNchFET613のゲートに「0」が入力されるとPchFET612がON、NchFET613がOFFとなって、回路6.1aからは電圧3V、すなわち3V系のデジタル信号の「1」が出力される。

されると、「1」が入力されると $PchFET612$ が ON となって、回路 6 1 から接地電位、すなわち 3V のデジタル信号の「0」が取出される。また、 $PchFET612$ が OFF になると、「1」が取出される。

「0010」のように、回路 6 1 は、クロック信号の「0」の時はインバータとして機能し、「0」の時はその出力がハイインピーダンス状態となる一種の 3S ディテイナーハルトと言える。また、これと同様に回路 6 2 はクロック信号が「0」の時はインバータとして機能し、「1」の時はその出力がハイインピーダンス状態となる 3ステートインバータと言える。そして、回路 6 3 は $PchFET621$ および $NchFET622$ のゲートに「1」が入力されると $PchFET621$ が OFF となり、 $NchFET622$ が ON、 $NchFET622$ が OFF となつて、回路 6 1 から接地電位すなわち「0」が取出される。また、「0」が取出されると $PchFET621$ が ON、 $NchFET622$ が OFF となつて、回路 6 1 からは電圧 3V すなわち「1」が取出される。したがって、回路 6 2 はインバータとして機能する。

「0011」一方、レベルシフト部 7 0 は、 $NchFE$ $T701$ 、 $T702$ および $PchFET703$ 、 $T04$ により構成されている。 $PchFET703$ 、 $T04$ のソースにはそれぞれ 5V の電圧が印加され、 $NchFET702$ のソースには 7.02V のソースが接続されている。そして、 $NchFET701$ と $PchFET703$ のドレインは接続され、その接続点は $PchFET704$ のゲートとも接続されている。また、 $NchFET702$ のドレインと同様に接続され、その接続点は $PchFET703$ のゲートと接続されて、さらには $NchFET702$ のドレインと $PchFET704$ のゲート間に接続されている。

「0012」上述した図 1 1 の回路における動作は、まず、データラッシュ部 6 0において、クロック信号 $*_0$ が「1」、反転クロック信号 $*_1$ が「0」の時、回路 6 1

bの出力はハイインピーダンス状態になり、これに対し、回路6.1aは可動状態になって、外部から入力されるとデジタル信号Dを反転してその信号* Dをレベルシフト部7.0のNchFET7.0のゲートと回路6.2に出力する。また、回路6.2は反転されたデジタル信号* Dをさらに反転してレベルシフト部7.0のNchFET7.0のゲートに出力する。

[0013] 例えれば回路6.1aに入力されたデジタル信号Dが「1」であった場合、レベルシフト部7.0のNchFET7.0のゲートには「0」が、また、NchFET7.0.1のゲートには「1」が入力される。これにより、NchFET7.0.1がON、また、NchFET7.0.2がOFFになるので、PchFET7.0.4がONとしないでドライブ部に対して5V系のデジタル

[0014]一方、デジタル信号Dが「0」であった場合、レバシフタ部7のNchFET702のゲートには「1」が、また、NchFET701のゲートには「0」が入力される。これにより、NchFET701がOFF、NchFET702がONとなり、PchFET703がONとなつてPchFET704のゲートには「1」を出力する。したがつて、PchFET704はOFFになり、また、この時NchFET702はONになつて、図示ぬドライバ部に対して5Vの電圧を出力される。

[0015]次にクロック信号が「0」、反転クロック信号*が「1」になると、回路61aの出力がハイになります。上述した回路61aから出力された信号は、回路61bと回路62とともに形成されるループにより、レバシフタ部70から出力され、これにより、レバシフタ部70から出力が保持され、電圧も、次にクロック信号が「1」、反転クロック信号*が「0」になるまで保持される。このように、図11の回路は、外部から入力される3V系のデジタル信号を5V系のデジタル信号に駆動すると共に、クロック信号*に従つて出力状態を保持する。

[0016]ここで、上述したドライバICを例えればCMOS (complementary metal oxide semiconductor)により実際にIC化する場合、そのICチップのレベル駆動する回路を一列に配した回路列(以下、3V系のロード列)に配した回路列(以下、5V系のロード列)に配した回路列(以下、5V系のロードといふ)。この2種類のロードが必要になる。一例として、この図において各ロードの幅は約80μmの長さを有し、各ロードは約400μmの間隔をもつて形成されるものとする。

[0017]図13は上述したロードの詳細なレイアウトを示すもので、この図では3V系のロードにおける図11のデータラッシュ部60の回路62のレイアウトを示している。この図において、8.1は3Vの電源ラインである。

路 FET11～14をインバータ31に接続する。PchFET3をそのON抵抗RP、NchFET1、2をそのON抵抗RNだけで図示したものである。そして、接続点Aの電位VAは、インバータ31が入力されたデジタル信号を「0」として認識することができる入力大きい電圧Vthと上式の関係を満たすようにRP、RNが決定される。

【0032】10a、10bは、それぞれ図11の回路61aおよび回路61bと同様の構成をとる一種の3ステートインバータであり、3ステートインバータ10aはクロック信号*0が「0」(反転クロック信号*0が「1」)の時、出力がハイインビーダンス状態となり、クロック信号*1が「0」(反転クロック信号*1が「1」)の時、インバータとして機能する。また、3ステートインバータ10bはクロック信号*0が「1」)の時、ハイインビーダンス状態となり、クロック信号*0が「0」)の時、インバータとして機能する。但し、各3ステートインバータのPchFET1.2およびNchFET1.3のゲートには、「1」を電圧VH、「0」を電圧0Vによって接続電圧VH系のデジタル信号が入力され、また、各PchFET1.1のソースには電圧VHが印加されおり、電圧VH系のデジタル信号を出力する。

【0033】20は図11の回路62と同様の構成をとるインバータであり、PchFET1およびNchFET2のゲートには3ステートインバータ10aから出力される電圧VH系のデジタル信号が入力されている。そして、PchFET21のソースには電圧VHが印加されおり、電圧VH系のデジタル信号を出力する。また、PchFET3のドレインとNchFET1のドレンとの接続点Aは、3ステートインバータ10aの入力(PchFET1.2およびNchFET1.3のゲート)と接続され、3ステートインバータ10aの出力(PchFET1.2のドレインとNchFET1.3のドレンの接続点)は外部と接続されると共に、インバータ20の入力(PchFET21およびNchFET22のゲート)に接続されている。

【0034】さらに、インバータ20の出力(PchFET21のドレン)とNchFET22のドレンの接続点Bは3ステートインバータ10bの入力と接続され、3ステートインバータ10bの出力、インバータ10aの出力、インバータ20の入力、および、外部と接続されている。すなわち、3ステートインバータ10bとインバータ20は、3ステートインバータ10aの出力側においてループを形成している。

【0035】次に、上述したラッチ機能をレベルシフタ回路の動作について説明する。まず、クロック信号*0が「1」(反転クロック信号*0が「0」)の場合、NchFET2はONとなり、この時、NchFET1のゲートに「1」(電圧VU)が入力されると、NchFET

は前回記述した電圧VAが入力される。また、NchFET1のゲートに「0」(接地電位)が入力されると、NchFET1はOFFになって3ステートインバータ10aに、NchFET2は電圧VH系のデジタル信号の「1」)が入力される。このように、本実施形態のラッチ機能付きレベルシフト回路に入力された電圧VL系のデジタル信号VH系のデジタル信号に昇圧される。したがって、NchFET1、2およびPchFET3は、本実施形態のラッチ機能付きレベルシフト回路のレベルシフト部【00036】そして、3ステートインバータ10aは、電圧VH系のデジタル信号の「1」を出力し、電圧VLが入力された場合は接地電位(電圧VH系のデジタル信号の「0」)を出力する。また、インバータ20は3ステートインバータ10aから出力された信号を反転して3ステートインバータ10bへ出力する。ここで、3ステートインバータ10bは、クロック信号φ1が「1」、反転クロック信号φ2が「0」であるため、その出力はハイインピーダンス状態になつておらず、これに

1] の時、入力された電圧 VL 系のデジタル信号 DL

を電圧VH系のデジタル信号に昇圧して出力するとともに、クロック信号が「0」に転じた時は、その直前の出力信号の状態を保持する。

【0040】また、本実施形態におけるラッチ機能付きレベルシフト回路の電源電圧は、すべて電圧VHであるため、ラッチ部およびレベルシフト部の回路の電源電圧を1につなぎ合することができます。そして、本実施形態におけるラッチ機能付きレベルシフト回路の出力インピーダンスは図11に比べて低くなるため、駆動能力が向上することになり、さらには、本実施形態におけるラッチ機能付きレベルシフト回路のトランジスタは能付きレベルシフト回路のトランジスタの数が1/3個であり、図11の回路に比べ3個のトランジスタで構成される。

【0041】2およびPchFET3は、本実施形態におけるラッチ機能付きレベルシフト回路のレベルシフト部のラッチ機能付きレベルシフト回路の昇圧回路に昇圧される。したがって、NchFET1、2およびPchFET3は、本実施形態におけるラッチ機能付きレベルシフト回路の昇圧回路に昇圧される。

【0036】そして、3ステートインバータ10は、
ロック信号*が「1」、反転クロック信号*が
「0」であるためインバータとして機能し、電圧VAが
力された場合は、インバータ20および外部へ電圧V
（電圧VH系のデジタル信号の「1」）を出力し、電
圧VHが入力された場合は接地電位（電圧VH系のデジ
タル信号の「0」）を出力する。また、インバータ20
は、3ステートインバータ10から出力された信号を反
転して3ステートインバータ10へ出力する。ここ
に、3ステートインバータ10bは、クロック信号*が
「1」、反転クロック信号*が「0」であるため、そ
れの出力はハイインピーダンス状態になつており、これに

1] の時、入力された電圧 VL 系のデジタル信号 DL

を電圧VH系のデジタル信号に昇圧して出力すると共に、クロック信号が「0」に転じた時は、その直前の出力信号の状態を保持する。

【0040】また、本実施形態におけるラッチ機能付きレベルシフト回路の電源電圧は、すべて電圧VHであるため、ラッチ部およびレベルシフト部の回路の電源電圧を1つに統合することができる。そして、本実施形態におけるラッチ機能付きレベルシフト回路の出力ainp-1は、図11に比べて低くなるため、駆動能力が向上することになり、さらには、本実施形態におけるラッチ機能付きレベルシフト回路を構成するトランジスタの数は13個であり、図11の回路に比べ3個のトランジスタを削減することができる。

【0041】(第2実施形態) 図3に第2実施形態におけるラッチ機能付きレベルシフト回路を示す。この図において、図1に示すラッチ機能付きレベルシフト回路の各部に相当する部分については同一の符号を付し、その説明を省略する。ここで、3ステートンバータ10a、10bおよびインバータ20の内部の構成は図中省略されているが、図1の各部と同様の構成を有している。すなわち、図3において、例えば3ステートンバータ10aには、実際はクロック信号やおよび反転クロック信号*が共に投入されるが、「1」の時インバータ10aはクロック信号が「1」の時インバータ10bおよびインバータ20の内部の構成を有している。

として機能するので、図中にはクロック信号 ϕ のみを記載している。また、これと同様の理由で、3ステートインターバル $10b$ には反転クロック信号 ϕ^* のみを記載している。ここで、図3に示すラッチ機能付きレベルシフト回路が図1のものと異なる点は、PchFET3のゲートにもクロック信号 ϕ が入力されている点である。

【0042】以下に本実施形態におけるラッチ機能付きレベルシフト回路の動作について説明する。まず、クロック信号 ϕ が「0」の時は、NchFET2がOFF、PchFET3がONになつて、3ステートインバータ $10a$ に電圧 V_{IH} が入力される。また、この時回路中A点と3ステートインバータ $10a$ 間に存在する浮遊容量Cに充電が行われる。そして、クロック信号 ϕ が「1」になると、NchFET2がON、PchFET3がOFFになる。

【0043】この時、NchFET1のゲートに「1」が入力された場合はNchFET1はONとなり、浮遊容量Cに充電された電荷がNchFET1、2を通して放電され、3ステートインバータ $10a$ には「0」が入力される。また、NchFET1のゲートに「0」が入力されるとNchFET1がOFFになつた場合は、浮遊容量Cに充電された電荷が3ステートインバータ $10a$ に印加され、すなわち3ステートインバータ $10a$ には「1」が入力されることになる。

【0044】以後の動作は第1実施形態と同様、クロック

タ信号が「1」の時は、3ステートインバータ10a

ソレで、クジラクジラが「[1]」になりました。

有しているが、以下の点が異なっている。すなはち、NchFET25bのゲートとインバータ27bの入力は、それぞれラッチ機能付きレベルシフト回路41dとの接続関係は、上述した切換回路42aと、ラッチ機能付きレベルシフト回路40および41aとの接続関係と同様の接続関係を有している。ここで、切換回路42aの中の接続点a1、b1に対応する切換回路42b～42dの中の接続点をそれぞれ、a2～a4、b2～b4とする、接続点a2～a4、b2～b4と、各接続点から出力されるデコード信号の関係は表1のようになる。

【表1】

| 切換回路 | 接続点 | デコード信号 |
|------|-----|--------|
| 42b | a2 | S83 |
| | b2 | S84 |
| 42c | a3 | S85 |
| | b3 | S86 |
| 42d | a4 | S87 |
| | b4 | S88 |

【00668】次に、上述した3入力-8出力のデコード回路の動作について説明する。まず、電圧VH系の3ビットのデジタルデータが「000」であった場合の動作について説明する。クロック信号*6が「0」(すなはち、反転クロック信号*6が「0」)の時、まず、ラッチ機能付きレベルシフト回路41aのNchFET1、8のゲートには「0」が入力される。また、デコード信号S81は電圧VH系のデジタル信号の「1」となる。また、デコード信号S82はNchFET1、8は各々ONとなる。また、クロック信号*6が「1」であるためNchFET2もONとなり、3ステートインバータ10aには「0」が入力される。

【00669】そして、ラッチ機能付きレベルシフト回路41aの3ステートインバータ10aは、電圧VH系のデジタル信号の「1」(電圧VH)を切換回路42aのNchFET25aのドレインとPchFET26aのソース、および、NchFET25bのドレインとPchFET26bのソースにそれぞれ出力する。この時、ラッチ機能付きレベルシフト回路40の3ステートインバータ10aは電圧VH系のデジタル信号の「0」を出力し、また、インバータ27bはONとなる。この状態からクロック信号*6が「0」になると、ラッチ機能付きレベルシフト回路40、41a～41dの各3ステートインバータ10bおよびインバータ20によって形成されるループによって各々のラッチ機能付きレベルシフト回路の出力状態が保持され、これにより、デコード信号S81～S88もその状態が保持される。

【00701】次に、電圧VH系の3ビットのデジタルデータが「001」であった場合の動作について説明する。クロック信号*6が「1」(すなはち、反転クロック信号*6が「0」)の時、まず、ラッチ機能付きレベルシフト回路41aのNchFET1、8のゲートには「1」が入力されるので、NchFET1、8は各々ONとなる。また、クロック信号*6が「1」であるためNchFET2もONとなり、3ステートインバータ10aには「1」が入力される。したがって、デコード信号S81は電圧VH系のデジタル信号の「1」となる。また、デコード信号S82はNchFET25bはONにならぬ。この状態からクロック信号*6が「0」になると、ラッチ機能付きレベルシフト回路40、41a～41dの各3ステートインバータ10bおよびインバータ20によって形成されるループによって各々のラッチ機能付きレベルシフト回路の出力状態が保持され、これにより、デコード信号S81～S88もその状態が保持される。

【00731】次に、電圧VH系のデジタル信号の「1」を出力する。

【00702】これにより、切換回路42a～42dのすべてのNchFET25aとPchFET26aは共にONとなり、また、NchFET28aはOFFとなる。一方、切換回路42a～42dのすべてのNchFET25bとPchFET26bは共にOFFとなり、

NchFET2もONとなり、3ステートインバータ10aには「0」が入力される。

【0074】そして、ラッチ機能付きレベルシフト回路41aの3ステートインバータ10aは、電圧VH系のデジタル信号の「1」(電圧VH)を切換回路42aのNchFET25aのドレインとPchFET26aのソース、および、NchFET25bのドレインとPchFET26bのソースにそれぞれ出力する。この時、ラッチ機能付きレベルシフト回路40はONとなり、3ステートインバータ10bおよびインバータ20によって形成されるループによって各々のラッチ機能付きレベルシフト回路の出力状態が保持され、これにより、デコード信号S81～S88もその状態が保持される。

【0075】以下、クロック信号*6が「1」の時、3ビットのデジタルデータのうち、上位2ビットD12、D11が各々「0」、「1」であるれば、ラッチ機能付きレベルシフト回路41bから、「1」が入力される。また、「0」であれば、ラッチ機能付きレベルシフト回路41cから、さらに、「1」であれば、ラッチ機能付きレベルシフト回路41dから、「1」が入力される。また、それの場合において、最下位ビットD0に応じて各自対応するラッチ機能付きレベルシフト回路から入力される信号を、各別換回路の接続点a1～a4、もしくは、接続点b1～b4から出力する。

【0076】これにより、切換回路42a～42dのすべてのNchFET25aとPchFET26aは共にONとなり、NchFET25bとPchFET26bはOFFとなり、3ステートインバータ10aには「0」が入力される。したがって、ラッチ機能付きレベルシフト回路40の3ステートインバータ10aは電圧VH系のデジタル信号の「1」を出力し、また、NchFET28aはONになる。一方、すべてのNchFET25bとPchFET26bは共にONとなり、NchFET28bはOFFになる。このため、ラッチ機能付きレベルシフト回路41aの3ステートインバータ10aから出力された電圧VH系のデジタル信号の「1」は、切換回路42aのNchFET25bとPchFET26bを通して外部へ出力される。したがって、デコード信号S81が電圧VH系のデジタル信号の「1」となる。また、デコード信号

【0077】以下、クロック信号*6が「1」の時、3ビットのデジタルデータが「110」であるれば、ラッチ機能付きレベルシフト回路41aの3ステートインバータ10aは電圧VH系のデジタル信号の「1」(電圧VH)を切換回路42aのNchFET25aとPchFET26aを通過して外部へ出力される。したがって、デコード信号S81は電圧VH系のデジタル信号の「1」となる。また、デコード信号S82はNchFET28bはONにならぬ。この状態からクロック信号*6が「0」になると、ラッチ機能付きレベルシフト回路40、41a～41dの各3ステートインバータ10bおよびインバータ20によって形成されるループによって各々のラッチ機能付きレベルシフト回路の出力状態が保持され、これにより、デコード信号S81～S88もその状態が保持される。

【0078】以上動作を真理値表にまとめたものを表1とする。

| D2 | D1 | D0 | S81 | S82 | S83 | S84 | S85 | S86 | S87 | S88 |
|----|----|----|-----|-----|-----|-----|-----|-----|-----|-----|
| 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |

【0079】この状態からクロック信号*6が「0」になると、ラッチ機能付きレベルシフト回路40、41a～41dの各3ステートインバータ10bおよびインバータ20によって形成されるループによって各々のラッチ機能付きレベルシフト回路の出力状態が保持され、これにより、デコード信号S81～S88もその状態が保持される。

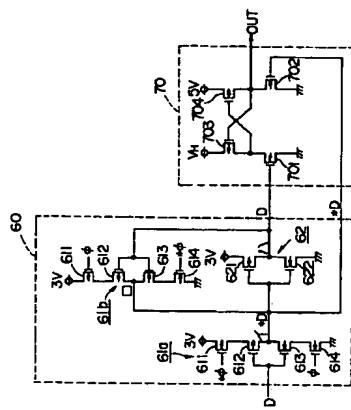
【0080】この状態からクロック信号*6が「1」(電圧VH)になると、ラッチ機能付きレベルシフト回路40、41a～41dの各3ステートインバータ10bおよびインバータ20によって形成されるループによって各々のラッチ機能付きレベルシフト回路の出力状態が保持され、これにより、デコード信号S81～S88もその状態が保持される。

【0081】この発明の第1実施形態によるラッチ機能付きレベルシフト回路による電気接続図である。

【0082】同ラッチ機能付きレベルシフト回路におけるレバ尔斯リット部の各FETがONになつた時の等価回路を示す回路図である。

【0083】この発明の第2実施形態によるラッチ機能付

【図11】



フロントページの続き

(51) Int.Cl. 6
識別記号
H03K 19/0185
H03K 19/00

F I
H03K 19/00
1011D

技術表示箇所

(72) 発明者
田口 隆
神奈川県川崎市幸区堀川町580番の15
株式会社東芝半導体システム技術センター内